

## 修 士 論 文 の 和 文 要 旨

研究科・専攻	電気通信大学大学院 電気通信学研究科 電子工学専攻 博士前期課程		
氏 名	大杉 拓也	学籍番号	0932011
論 文 題 目	IV 族系混晶半導体界面の物性評価		
<p>要 旨</p> <p>MOS(Metal-Oxide-Semiconductor)デバイスは電子デバイス産業を支える重要な素子であり、素子サイズの微細化によってデバイスの性能向上が達成されて来た。現在、MOSデバイスのゲート長は32nmにまで達しつつあり、このようなナノスケールでは界面の原子レベルの不均一性がデバイス性能の揺らぎに影響を与えてしまう。そのため、マクロスコピック材料のトップダウンによる単なる微細化の考え方を超えて、界面を原子レベルで制御する技術・概念の構築が求められている。</p> <p>IV族系混晶半導体の<math>\text{Si}_{1-x}\text{Ge}_x</math>、<math>\text{Si}_{1-y}\text{C}_y</math>は混晶比によるバンドエンジニアリングや歪みコントロールが可能であり、<math>\text{Si}_{1-y}\text{C}_y</math> 混晶の一つであるシリコンカーバイド(SiC)には数百種類のポリタイプが存在し、それぞれに誘電率などの電子状態が大きく異なる。このIV族系混晶半導体の混晶比やポリタイプの概念は、ナノスケールデバイスの物質設計に多くの自由度を与える。そのため、次世代ナノデバイスの半導体材料として、実用化に向けた研究・開発が進められている。</p> <p>本研究では、IV 族系混晶半導体 <math>\text{Si}_{1-x}\text{Ge}_x</math>、<math>\text{Si}_{1-y}\text{C}_y</math> に注目し、混晶比やポリタイプといった構造制御や格子歪みがミクロスコピックな物性にどのような影響を及ぼすかについて、密度汎関数理論に基づく第一原理計算を用いて評価した。</p> <p><math>\text{Si}_{1-x}\text{Ge}_x</math>、<math>\text{Si}_{1-y}\text{C}_y</math> 混晶の格子定数は混晶比に対して Vegard 則に従う線形性を示した。一方、バンドギャップや誘電率は、混晶比に対して非線形な変化を示すことがわかった。また、格子歪みの種類によらずバンドギャップは一様に減少するのに対し、誘電率は格子歪みの種類によって変化の様相が大きく異なることが明らかになった。さらに、Wakui と Nakamura らの誘起電荷法を用いて Si/<math>\text{Si}_{1-x}\text{Ge}_x</math> 混晶界面の局所誘電率分布を評価したところ、界面近傍で誘電率は急峻に変化し、その変化領域は Si と <math>\text{Si}_{1-x}\text{Ge}_x</math> 混晶間の価電子帯オフセットと相関をもつことを明らかにした。</p> <p>ポリタイプごとの誘電率の差異の起源を調べるため、2H, 3C, 6H-SiC 薄膜の局所誘電率分布を評価した。6H-SiC の局所誘電率は 2H-SiC 的な部分で高くなり、3C-SiC 的な部分で低くなり、ポリタイプごとの誘電率の差異は構成する積層に由来することがわかった。また、Shirasawa らの実験によって提案されている 6H-SiC/SiON 界面構造を作成し、局所誘電率分布を評価した。SiON 超薄膜の誘電率は、<math>\text{SiO}_2</math> 薄膜の誘電率よりも高い値となることを初めて明らかにした。また、6H-SiC を 2H, 3C-SiC と変えても SiON 超薄膜の誘電率に変化せず、誘電率は局所的な構造に由来することがわかった。</p> <p>以上から、混晶比やポリタイプによる界面構造や格子歪みの制御によって、界面における電子物性の制御が可能であり、ナノスケールデバイスの物質設計指針を示すことができた。</p>			